

© EPODOC / EPO

PN - JP4199651 A 19920720  
PD - 1992-07-20  
PR - JP19900331121 19901129  
OPD - 1990-11-29  
TI - SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF  
IN - SUZUKI YOSHIYUKI  
PA - FUJITSU LTD  
IC - H01L21/02 ; H01L21/66  
FT - 4M106/AA02 ; 4M106/AD01 ; 4M106/AD02 ; 4M106/AD06 ;  
4M106/AD09 ; 4M106/AD26 ; 4M106/CA38 ; 4M106/CA46

© WPI / DERWENT

TI - Method of manufacturing semiconductor device - provides  
conductor pattern arranged to surround semiconductor device  
and to measure characteristic to permit simplified testing of chip  
size NoAbstract  
PR - JP19900331121 19901129  
PN - JP4199651 A 19920720 DW199235 H01L21/66 006pp  
PA - (FUIT ) FUJITSU LTD  
IC - H01L21/02 ; H01L21/66  
OPD - 1990-11-29  
AN - 1992-289544 [35]

© PAJ / JPO

PN - JP4199651 A 19920720  
PD - 1992-07-20  
AP - JP19900331121 19901129  
IN - SUZUKI YOSHIYUKI  
PA - FUJITSU LTD  
TI - SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF  
AB - PURPOSE:To enable the shape defects of a chip to be easily and  
accurately detected by a method wherein a semiconductor  
element is formed on a substrate, and a conductor pattern is  
provided surrounding the semiconductor element so as to be  
measured in electrical properties.  
- CONSTITUTION:A defect detection wiring6 (conductor pattern) is

formed of an A1 wiring provided onto an insulating film formed on a board, and an element forming region 5 and a bonding pad forming region 4 are surrounded with the detection wiring 6 provided in a hollow square along the periphery of a chip 20  $\mu\text{m}$  inwards distant from it. A measuring pad 7 formed of the A1 wiring is provided to each of the four corners of the chip 1. In the measurement of the electrical properties of the wiring, for instance, when the resistance of the wiring is measured, the voltage or the current of a resistive bridge is measured, and the measured value is compared with a reference value. By this setup, the shape defects of a chip can be detected by measuring the electrical properties of a wiring, so that the shape of a chip can be easily and accurately checked.

I - H01L21/66 ;H01L21/02

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-199651

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月20日

H 01 L 21/66  
21/02  
21/66

F 7013-4M  
Z 8518-4M  
E 7013-4M

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平2-331121

⑰ 出 願 平2(1990)11月29日

⑱ 発 明 者 鈴木 嘉 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 基板上に形成された少なくとも一つの半導体素子と、

該基板上に該半導体素子を囲むように配設され、かつ、その電気的特性を測定可能に配設されてなる導電体パターンとを備えてなる半導体装置。

(2) 基板上に半導体装置を構成する半導体素子を形成する工程と、

該基板上に該半導体素子を囲むように導電体パターンを形成する工程と、

該導電体パターンの電気的特性を測定する工程と、

該電気的特性の測定値に応じて該半導体装置を選別する工程とを有することを特徴とする半導体装置の製造方法。

(3) 前記導電体パターンの少なくとも一部を前

記基板のダイ分割予定領域上に形成し、

半導体装置のダイ分割に先立って該導電体パターンの電気的特性を測定することを特徴とする請求項2記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概 要)

半導体チップの形状の欠陥の検査に関し、

チップ形状に関する欠陥を、機能試験と同時に又はそれに先立つ直流特性の試験により、簡便かつ高精度に検出する手段を提供することを目的とし、

(1) 基板上に形成された少なくとも一つの半導体素子と、該基板上に該半導体素子を囲むように配設され、かつ、その電気的特性を測定可能に配設されてなる導電体パターンとを備えることを特徴として構成され、及び(2) 基板上に半導体装置を構成する半導体素子を形成する工程と、該基板上に該半導体素子を囲むように導電体パターンを形成する工程と、該導電体パターンの電気的特性を測定する工程と、該電気的特性の測定値に

応じて該半導体装置を選別する工程とを有することとを特徴として構成され、及び(3)前記導電体パターンの少なくとも一部を前記基板のダイ分割予定領域上に形成し、半導体装置のダイ分割に先立って該導電体パターンの電気的特性を測定することを特徴として構成される。

#### (産業上の利用分野)

本発明は、半導体チップの形状に関する欠陥の検出が容易にできる半導体装置およびその製造方法に関する。

集積度の高い半導体集積回路においては、その外観的検査、電気的特性の試験に多大の時間と費用とを必要とする。とくにチップの欠損、傷、クラック、汚染等、半導体チップの形状に関する欠陥の検査は、目視によるところが多く、労力と費用を要するのみならず、検査の信頼性は必ずしも充分ではない。

このため、半導体チップの形状に関する欠陥の検査を、高い信頼性をもって短時間にすることが

(a) および、第5図(a)中のウェーハ周辺Aの拡大図である第5図(b)を参照して、半導体集積回路の製造においては円形のウェーハ2上に方形のチップ1を配列することから、ウェーハ周辺に配置されたチップ1aの端が円形に欠損するのである。

また、ウェーハ周辺は、チップの形状欠陥の一因となる、欠け、傷、クラック等が発生し易いことも、ウェーハ周辺でチップ不良を多発させる要因となる。

かかるチップの欠陥は、素子形成領域又はボンディングパッド4に重大な損傷を与えない限り、従来の直流特性の試験によっては検出することができず、無駄に動作試験を続けることになる。

そこで、欠陥の生ずるチップの発生を防止し、無駄な動作試験を回避するために、ウェーハ周辺にはチップを配置しない工夫がなされた。

第5図(c)は、従来例の説明図であって、ウェーハ2周辺にチップ1を配置しない場合の一例を示している。本図で明らかにされているように、

できる試験方法が要求されている。

#### (従来技術)

第5図は従来例の説明図であって、半導体ウェーハ上における半導体集積回路チップの配置を示している。

従来、半導体チップの形状に係る検査は、主に目視検査によって行われている。

しかし、目視検査は時間と費用がかかることから、通常は直流特性の試験と回路機能の動作試験とからなる電気的試験を先行させ、選別されたチップのみを形状検査の対象としている。

このため、チップの形状的欠陥が直流特性の異常を発生させない限り、直流特性の試験によってはチップの異常を検出できず、形状に欠陥があるチップについても全ての動作試験がなされ、無駄に多くの試験をすることになった。

ところで、このようなチップの形状的欠陥は、特にウェーハ周辺において多発し易い。

即ち、半導体基板上のチップ配置を示す第5図

かかる配置では1枚のウェーハから取得されるチップ数は少なくなる。

#### (発明が解決しようとする課題)

上述のように、従来技術では電気的試験において、チップ形状の欠陥を検出することができないから、欠陥のあるチップまでも含めて全ての動作試験を行なうことになり、無駄が多かった。

また、ウェーハ周辺にチップを配置しないことにより形状欠陥のあるチップ数を減少し、無駄な動作試験を少なくする工夫は、1ウェーハから取得できるチップ数が少なくなるという欠点がある。

さらに、目視による検査では、マイクロクラックは検出されず、信頼性の向上を図れないという欠点も有している。

本発明は、無駄な動作試験を回避して経済性の向上を図るとともに、信頼性の高い半導体装置を実現するために、チップ形状に関する欠陥を、動作試験と同時又はそれに先立つ直流特性の試験により、簡便かつ高精度に検出する手段を備えた半

導体装置およびその製造方法を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するための本発明の第一の構成に係る半導体装置は、基板上に形成された少なくとも一つの半導体素子と、該基板上に該半導体素子を囲むように配設され、かつ、その電気的特性を測定可能に配設されてなる導電体パターンとを備えて構成され、

第二の構成に係る半導体装置の製造方法は、基板上に半導体装置を構成する半導体素子を形成する工程と、上記基板上に上記半導体素子を囲むように導電体パターンを形成する工程と、上記導電体パターンの電気的特性を測定する工程と、上記電気的特性の測定値に応じて上記半導体装置を選別する工程とを有することを特徴として構成され、

第三の構成に係る半導体装置の製造方法は、前記導電体パターンの少なくとも一部を前記基板のダイ分割予定領域上に形成し、半導体装置のダイ

の試験により検出することができる。

かかる、半導体装置の形状欠陥の多くは、半導体装置を構成するチップの周辺で発生してチップ内部に伝播するものであり、本発明の利用により形状不良の半導体装置を見逃す割合は著しく減少することになる。

なお、導電体パターンの損傷に起因する電気的特性の変化は鋭敏に測定されるから、従来、目視により見過ごされていた欠陥も検出され、信頼性の高い試験を実現できるのである。

本発明の他の構成では、半導体装置の形状欠陥の検出を、半導体回路の動作試験に先立ち行うことができる。

この測定に必要な電気抵抗、電圧、電流または電気容量の測定は、通常の動作試験に比較して極めて簡単かつ短時間に行うことができるので、半導体装置の形状欠陥の見過ごしから生ずる無駄な動作試験が回避され、そのための時間が大幅に削減できる。

従って、半導体装置の形状欠陥があっても動作

分割に先立って上記導電体パターンの電気的特性を測定することの特徴として構成される。

〔作用〕

本発明の第一の構成では、半導体素子を囲んで設けられた導電体パターンに、測定器のプロープから試験用の電圧が印加される。

このとき、半導体装置の周辺から発生した傷、欠け、割れ等の形状欠陥が導電体パターンを損傷していると、導電体パターンの電気的特性、例えば電気抵抗、電圧の分布、電流の分布、電気容量、インダクタンス等が正常値と異なることになる。

従って、導電体パターンの少なくとも一つの電気的特性を測定して、正常なチップの値と比較することにより、半導体装置の周辺から生じた欠陥が導電体パターンにまで到達しているか否かを判別することができる。

即ち、導電体パターンによって囲まれた領域内に達した上記欠陥を電気的測定、例えば直流特性

試験の負担はあまり増加しないから、欠陥が多いウェーハ周辺にもチップを配置することができ、1ウェーハからのチップ取得数を増やすことができる。

しかし、本発明において、導電体パターンを半導体装置内に形成するのでは、チップ面積が増加する。

そこで、導電体パターンをダイ分割予定領域に形成することにより、チップ面積の増加を避けることができる。

この構成において、チップ形状の欠陥検査はダイ分割前にウェーハ上にて行うことにより、本発明に係るチップ形状の欠陥検査を、チップ面積を増加せずに行うことができる半導体装置の製造方法が実現される。

〔実施例〕

以下本発明を実施例により説明する。

図中、同一符号を付したものは、同一機能を有する部分である。

第1図(a)は第一実施例の平面図であり、半導体集積回路のチップを示しており、第1図(b)は第一実施例の一変形例の部分拡大図である。

本発明の第一実施例では、直径略150mmのシリコンウェーハを半導体基板として、その全面に大きさ10mm×14mmのチップ1を配列する。

欠陥検出用配線6(前記導電体パターンに該当する。)は、基板表面の絶縁膜上に設けられた幅5 $\mu$ m、厚さ700nmのAl配線から成り、半導体集積回路の最終Al配線工程と同時に形成される。

上記配線6は、素子形成領域5(前記半導体素子が形成される半導体基板上の領域をいう。)およびボンディングパッド4形成領域を囲み、チップ外周8に沿ってその内側に20 $\mu$ m離して方形に設けられる。

測定用パッド7は、上記方形の四隅に70 $\mu$ m角、厚さ700nmのAlで形成する。

配線の電気的特性の試験として例えば抵抗を測定するには、ウェーハプローブと4個の測定用パ

ッド7を用いて、抵抗ブリッジの電圧又は電流を測定し、正常なものと比較する。勿論、電圧、電流又は抵抗値を直接測定し比較することもできるし、電気容量、インダクタンスも同様である。

本実施例による第一の使用例は、ウェーハプロセス終了後の動作試験に先立って、チップの欠陥の試験を直流特性の試験と同時に開始するものである。

即ち、次のようにして生ずる欠陥の検査である。

四角いチップを円形のウェーハ上に配列することから生ずるチップの欠陥は必ずチップの隅に生ずるから、隅に配置した測定用パッドが損傷を受け欠陥する。

従って、測定用パッド7とウェーハプローブの端子との接触が完全にはなされず、抵抗値の異常として検出され、例えば正常値と20%以上差があるものは欠陥のあるチップと判定される。

かかるチップの隅の欠陥をより鋭敏に検知するために、第1図(b)に示す如く、測定用パッド7を隅から離して設けることもできる。

この変形例では損傷を受ける隅の部分が、細い配線であることから、隅の欠陥、損傷に対して検知感度が高くなる。

本実施例の第二の使用例は、ダイ分割し、パッケージングされたチップの形状的欠陥の試験に使用するものである。

測定用パッド7をボンディングパッドとして使用しパッケージの端子をとおして欠陥検出用配線7と電気的接続を確保することができるから、その電気的特性を測定してチップの欠陥の有無、変化を検知することが可能となる。

また、ダイ分割による傷、クラック等も目視によらず、電気的測定により容易に検知される。

従って、本実施例によると、短時間にかつ信頼性の高い試験が容易に実現される。

更に、本実施例において、測定用パッド7を1とするか、設けないこともできる。

係る構成では、例えば電子ビーム、電磁誘導又はチップ内配線により配線6に電圧を印加し、測定は例えば電子ビームによる電圧測定、電気容量

の非接触測定により端子を使わずに、または1のパッドを用いて電圧、容量を測定する。

第2図は本発明の第二実施例の平面図であり、半導体チップを示している。

本実施例では、欠陥検出用配線26(前記導電体パターンに該当する。)はチップ外周に沿って測定用パッド27と共にダイ分割すべき領域3に設けられる。

従って、ダイ分割後は本発明を利用できないが、チップ面積を増加しないという利点がある。

第3図は本発明の第三実施例の平面図であり、半導体チップを示している。

本実施例では、第一、第二の実施例における欠陥検出用配線6、26は、第3図に示す如く、欠陥検出用配線36として先端に2つの測定用パッド37が設けられたループに形成される。

従って、配線36の全周にわたる完全性を2つの測定用パッド37間の電気抵抗の測定という非常に簡便な手段をもって検知することができる。

また、上述の欠陥検出用配線6、26、36の材料と

して、各種の金属、抵抗体、半導体、シリサイド等を用いることができるのは自明である。

第4図は、本発明の第四実施例の説明図であり、(a)は平面図、(b)は(a)のC-D断面図である。

第四の実施例では、配線6は半導体基板表面の埋め込み層として形成されている。

上記埋め込み層は、基板表面に形成した絶縁膜をパターニングしたものをマスクとして、イオン注入によりシート抵抗100 オーム、幅10 $\mu$ mの配線を形成する。

その後、基板上に絶縁膜9を堆積し、測定用パッドとのコンタクトホール10を設け、A1を堆積して、パッドを形成する。

チップの形状的欠陥は、その殆どがウェーハエッチ及びチップエッチから生じて基板中を伝播するものであるから、基板内部に形成される埋め込み層を検知用の配線とすることで、基板表面上に形成するよりも、より確実に欠陥を検出することができる。

なお、本例では、配線6はボンディングパッド4の下に設けられているが、ボンディングパッド4の外側、ダイ分割領域等に設けることもできるのは当然である。

さらに、本発明は半導体基板をシリコンに限定するものではなく、III-V化合物半導体、II-VI化合物半導体等の各種半導体にも適用することができるのは明らかである。

#### 〔発明の効果〕

上述したように本発明によれば、チップの形状に関する欠陥を電気的特性を測定することで検出することができるから、簡便かつ高精度にチップ形状の試験をすることができる半導体装置およびその製造方法を提供することができ、半導体装置の経済性に寄与するとともに、半導体装置の信頼性向上に貢献するところが大い。

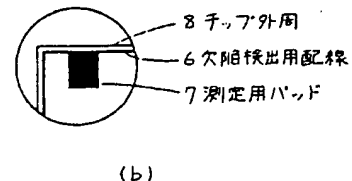
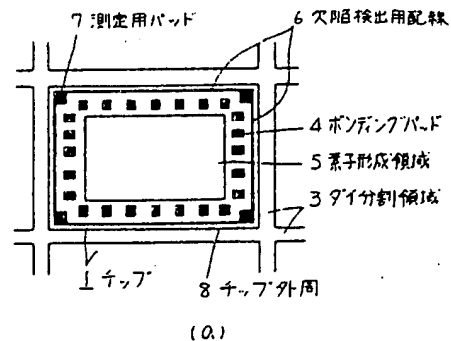
#### 4. 図面の簡単な説明

第1図は第一実施例の平面図。

第2図は第二実施例の平面図。  
第3図は第三実施例の平面図。  
第4図は第四実施例の平面図。  
第5図は従来例の説明図である。

図において、

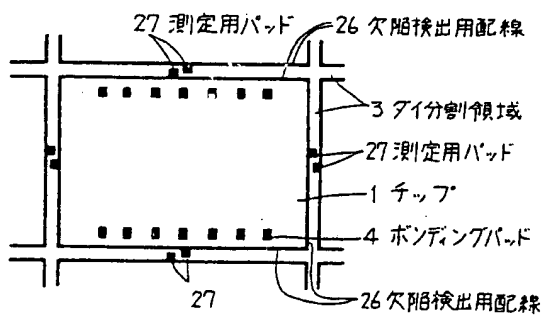
- 1, 1aはチップ、
- 2はウェーハ、
- 3はダイ分割領域、
- 4はボンディングパッド、
- 5は素子形成領域、
- 6, 26, 36は欠陥検出用配線、
- 7, 27, 37は測定用パッド、
- 8はチップ外周、
- 9は絶縁膜、
- 10はコンタクトホール、
- 11はパッシベーション被膜である。



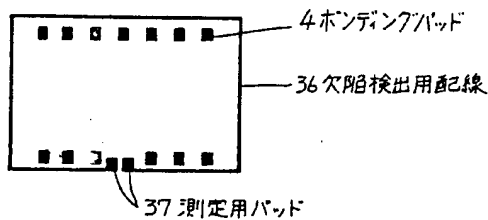
第一実施例の平面図  
第1図

代理人 井理士 井桁 貞一

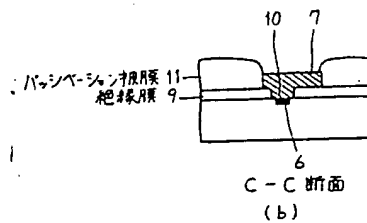
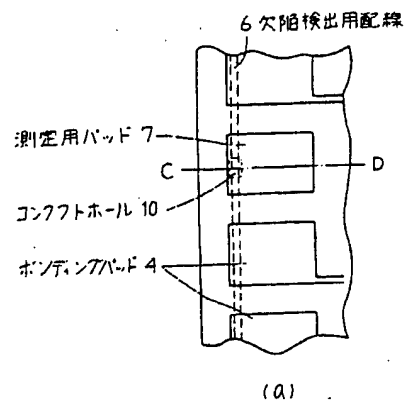




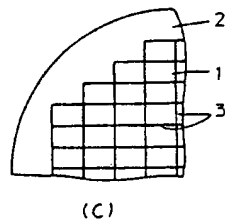
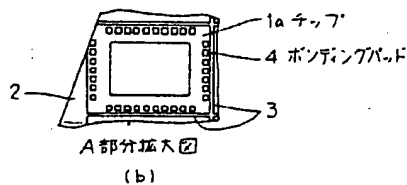
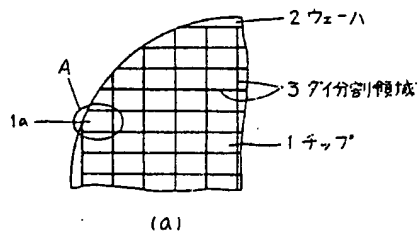
第二実施例の平面図  
第 2 図



第三実施例の平面図  
第 3 図



第四実施例の説明図  
第 4 図



従来例の説明図  
第 5 図